

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216158

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 21/336  
H01L 29/784  
G02F 1/1343  
G02F 1/136  
H01L 21/3205

(21)Application number : 05-021639

(71)Applicant : CANON INC

(22)Date of filing : 18.01.1993

(72)Inventor : KOUCHI TETSUNOBU  
MIYAWAKI MAMORU

## (54) SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURE THEREOF

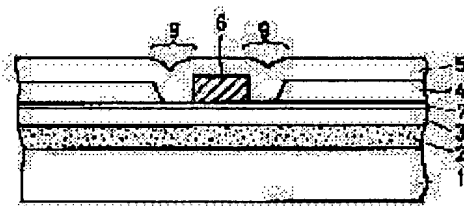
### (57)Abstract:

**PURPOSE:** To obtain a semiconductor device having the flat surface without performing any special flattening process by providing at least one recess part beneath a wiring connecting a passive element or an active element.

**CONSTITUTION:** In a semiconductor device, a passive element and an active element are provided on a substrate, wherein a thin-film, semiconductor layer is provided on an insulating layer or an insulating substrate. At least one recess part is provided beneath a wiring 6 connecting the passive element or the active element in the semiconductor device. For example, on

semiconductor substrate of Si, GaAs or the like or on an the insulating substrate 1 of glass, sapphire or the like, an insulating layer 2, a first insulating layer 3, a second insulating layer 7 and a third insulating layer 4 of SiO<sub>2</sub>, SiN, SiON or the like are formed. The third insulating layer 4 is etched, and the recess part is formed. At this time, the second insulating layer 7 and the third

insulating layer 4 are made of the different materials. When the third insulating layer 4 is etched, the second insulating layer 7 becomes the stopper. The wiring layer 6 is formed in the recess part, and a fourth insulating layer 5 is formed on the layer 6.



### LEGAL STATUS

[Date of request for examination] 15.12.1999

[Date of sending the examiner's decision of rejection] 04.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-03580

[Date of requesting appeal against examiner's decision of rejection] 06.03.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-216158

(43)公開日 平成6年(1994)8月5日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/1343		8707-2K		
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
		7514-4M	21/ 88	K
審査請求 未請求 請求項の数15 FD (全 8 頁) 最終頁に続く				

(21)出願番号 特願平5-21639

(22)出願日 平成5年(1993)1月18日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 光地 哲伸

東京都大田区下丸子3丁目30番2号 キャ  
ノン株式会社内

(72)発明者 宮脇 守

東京都大田区下丸子3丁目30番2号 キャ  
ノン株式会社内

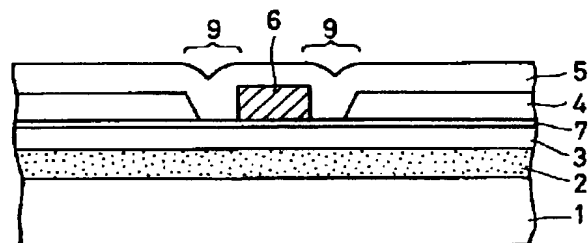
(74)代理人 弁理士 豊田 善雄 (外1名)

(54)【発明の名称】 半導体装置、液晶表示装置及びその製造方法

(57)【要約】

【目的】 高コントラスト比の得られる液晶表示装置を提供する。

【構成】 絶縁層上もしくは絶縁基板上に、薄膜半導体層を設けた基板上に、受動素子及び能動素子を設けた半導体装置において、該受動素子又は該能動素子を結ぶ配線下に少なくとも一部、下部層のエッチングにより形成した凹部を有する半導体装置。



## 【特許請求の範囲】

【請求項1】 絶縁層上もしくは絶縁基板上に、薄膜半導体層を設けた基板上に、受動素子及び能動素子を設けた半導体装置において、

該受動素子又は該能動素子を結ぶ配線下に少なくとも一部凹部を有することを特徴とする半導体装置。

【請求項2】 上記凹部に半導体層が設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記半導体層の電位がフローティング状態になっている領域がすくなくとも配線直下の一部に設けられていることを特徴とする請求項2記載の半導体装置。

【請求項4】 上記半導体層と上記配線とが一部で接続されていることを特徴とする請求項2記載の半導体装置。

【請求項5】 上記凹部の幅が、凹上に設けられた配線幅よりも広いことを特徴とする請求項1記載の半導体装置。

【請求項6】 配線の厚みの少なくとも一部と凹部の段差厚がほぼ同等であることを特徴とする請求項1記載の半導体装置。

【請求項7】 それぞれスイッチ素子と容量素子を備えた複数の画素電極がマトリクス状に第一のアドレスラインとデータラインの交点位置に配置されたアレイ基板と、透明電極が形成された透明な対向基板との間に液晶層を挟持して構成される液晶表示装置において、アドレスライン若しくはデータラインの少なくとも一方の配線下の少なくとも一部に凹部を有することを特徴とする液晶表示装置。

【請求項8】 前記凹部が、アドレスラインとデータラインの交点の配線下の少なくとも一部に形成されることを特徴とする請求項7記載の液晶表示装置。

【請求項9】 前記凹部が、半導体層の選択酸化法により形成されることを特徴とする請求項7記載の液晶表示装置。

【請求項10】 前記凹部が、エッチングにより形成されることを特徴とする請求項7記載の液晶表示装置。

【請求項11】 それぞれスイッチ素子と容量素子を備えた複数の画素電極がマトリクス状に第一のアドレスラインとデータラインの交点位置に配置されたアレイ基板と、透明電極が形成された透明な対向基板との間に液晶層を挟持して構成される液晶表示装置において、アドレスライン若しくはデータラインの少なくとも一方の配線下の少なくとも一部に凹部を形成することを特徴とする液晶表示装置の製造方法。

【請求項12】 前記凹部を、アドレスラインとデータラインの交点の配線下の少なくとも一部に形成することを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項13】 前記凹部を、半導体層の選択酸化法により形成することを特徴とする請求項11記載の液晶表示

装置の製造方法。

【請求項14】 前記凹部を、エッチングにより形成することを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項15】 前記凹部による段差厚を、アドレスライン若しくはデータラインの厚みの少なくとも一部とほぼ同等とすることを特徴とする請求項11記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁層もしくは絶縁基板上に設けた半導体層上に受動素子及び能動素子を設けた半導体装置及び上記半導体装置を設けた基板と透明基板間に液晶層を挟持してなる液晶表示装置に関するものである。

## 【0002】

【従来の技術及び発明が解決しようとする課題】 絶縁層もしくは、絶縁基板上に半導体層を設け、その表面上に受動及び能動素子を設けた半導体装置は、通称SOI (Silicon on Insulate) デバイスと呼ばれ、高速高集積半導体装置が実現できるため、大きく注目を集めている。これは、以下の2つの理由による。

【0003】 (1) SOI構造のトランジスタは微細化が容易でかつ、電流駆動能力が高く、高速動作に優れている。

【0004】 (2) 絶縁基板上に配線が設けられ、従来よりも容量が軽く、高速高集積化が図れる。

【0005】 ところで、高速高集積化を実現するためには、従来の半導体装置の断面図である図11に示す如く多層配線が必須となるが、図108に示す如く、配線部の段差が大きく、段差部での配線の断線や配線層のパターニング不良が問題となっており、これらを解決するためには配線工程の後に平坦化処理が要求されていた。尚、図11において、101はSi基板、102は絶縁層(SiO<sub>2</sub>)、103はフィールド酸化層、104はpoly Si配線、105は層間絶縁層、106はAl配線、107は絶縁層である。

## 【0006】 平坦化処理を行うと

(1) 新たな工程が加わるので、コストアップにつながる。

【0007】 (2) 平坦化層を設けるため、配線間距離(厚さ方向)(第i配線と第i+1配線(i=1, 2...))が厚くなり、下配線と上配線とのコンタクト領域が大きくなりチップサイズが大きくなる。

という問題点を有していた。

【0008】 また、液晶表示装置においては、下記の問題点を有していた。

【0009】 従来の液晶表示装置のアレイ基板の上面図を図12に、図12の断面図を図13に示す。図13

10

20

30

40

50

(a) はA-A' 断面図、図13 (b) はB-B' 断面図、図13 (c) はC-C' 断面図、図13 (d) はD-D' 断面図である。図12及び図13において、111はデータライン、112はアドレスライン、113は画素電極、114は半導体層、117は絶縁層、120は基板である。

【0010】従来、アレキ基板の表面は図13 (a) ~ (c) に示す様に段差の大きい ( $0.5 \sim 1.0 \mu$ ) 構造であり、特に図13 (d) に示すデータライン111、アドレスライン112の交差点は画素内で最も突出している部分である。そのため、ラビング時に突出部周辺に配向乱れが生じ、印加電圧により透過率の変化しない白抜け領域が生じ、コントラストを低下させていた。

【0011】この問題を解決するために、白抜け領域を遮光するという方法が考えられるが、この方法によれば遮光した分だけ明るさが減少することとなり好ましくない。従って、上記問題を解決する有効手段は講じられておらず、せいぜいデータライン111、アドレスライン112の膜厚を薄くし、段差を誤差範囲内におさめて、段差により発生する配向ムラを実質的に無視しているのが現状である。

#### 【0012】

【課題を解決するための手段】本発明は、絶縁層上もしくは絶縁基板上に薄膜半導体層を設けた基板上に受動素子及び能動素子を設けた半導体装置において、該受動素子又は該能動素子を結ぶ配線下に少なくとも一部凹部を設けることにより、平坦化を図り、上記問題点を解決するものである。

#### 【0013】

【実施例】(実施例1) 図1に、本発明の第1実施例を示す。又、図2にその作製方法を示す。図1、図2において、1は例えばSi、GaAs等の半導体基板もしくはガラス、サファイア等の絶縁基板、2は例えばSiO<sub>2</sub>、SiN又はその化合物であるSiON層等の絶縁層、3は第1絶縁層、7は第2絶縁層、4は第3絶縁層、5は第4絶縁層、6は配線層であり、半導体層は別断面に存在する。

【0014】本実施例では第3絶縁層4をエッチングし、凹部を形成する。ここで、第2絶縁層7と、第3絶縁層4とは異なる材料とし、第3絶縁層4エッチング時に第2絶縁層7がストッパーとなるようにする。具体的には、第3絶縁層4としてSiO<sub>2</sub>系の膜とし、第2絶縁層7としてはSiN系のものとすれば良い。エッチャントとしてHF系を用いれば良い。又、ウェットエッチに限らず、ドライエッチで行っても良いことは言うまでもない。

【0015】ここで、凹部の幅Yと、配線幅Xとの関係について説明する。図2 (b)、(c) に示すように、 $Y > X$

となるようにし、かつ、凹部と配線部6とのすきまx

は、配線工程後の第4絶縁層5の成膜条件及び、すきまxの精度によって決定する。段差部にCVDにより成膜すると横方向に広がる形となる。その横方向広がり2倍程度にすきま量xを設定しておけば、図1の9に示す如く、ほぼ平坦な絶縁層5が配線上に形成できる。又、xは、xのばらつき量 $\Delta x$ も考慮して、 $x + \Delta x$ にしておけば、安定して平坦層が形成できる。本実施例に示す方式により、平坦化が容易に実現できた。

【0016】(実施例2) 本発明の第2実施例を図3を用いて説明する。図3において、21は基板で、例えばSi、GaAs等の半導体基板もしくはガラス、サファイア等の絶縁基板である。22は基板21上に設けられた絶縁層で、例えばSiO<sub>2</sub>、SiN又その化合物であるSiON膜等である。23はフィールド酸化膜、24は半導体層で例えばSi等である。25は配線、26は層間絶縁層で、図示していないが、その上層には、多層の配線層を設けても良い。

【0017】本実施例では半導体層24を利用して凹部を形成する。凹部は半導体層24の一部を例えばSiN膜などで覆い、覆われていない領域を選択的に熱酸化してフィールド酸化膜23を形成する選択酸化プロセスなどによって形成することができる。図3に示すように、活性領域である半導体層24上に配線25が設けられているため、配線層25上部がつき出ることなく層間絶縁層26により平坦化が実現している。又、半導体層24の電位をフローティングにすることにより、半導体層24との間の寄生容量もつかず、低容量配線が実現できた。

【0018】(実施例3) 本発明の第3実施例を図4を用いて説明する。第2実施例と同様、31は基板、32は絶縁層、33はフィールド酸化膜、34は半導体層、35は配線、36は層間もしくは上部絶縁層、37は半導体層34と配線35のコンタクトである。

【0019】本実施例では、第2実施例と同様に半導体層34を利用して凹部を形成する。本実施例の特徴は、上部配線35が一部下部半導体層34とコンタクトし、下部半導体層34も配線として用いている点である。このような構成により平坦化が図られるだけでなく、又配線抵抗も下がりがつ、配線35の冗長度も増し、歩留りが高くなるという効果がある。又、この構造により同一配線材でクロス配線をする場合、通常poly Si配線にのりかえていたが、本方式を用いることにより、単結晶層でジャンプでき、通常よりも配線層を増加させずに、かつ低抵抗で平坦なクロス配線が可能になる。

【0020】又、上部配線35と、十分なコンタクト37を実現するためには、下部半導体層34には所望の不純物がドーピングされていることは言うまでもない。

【0021】又、第2実施例のフローティング領域半導体層上配線25と本実施例の下部半導体層34とコンタクトした配線35とが混在したものである。こ

の場合、それぞれの半導体層は、お互いに絶縁層で分離しておけば良い。

【0022】（実施例4）図5は、本第4実施例の液晶表示装置のアレイ基板の上面図、図6は図5の断面図であり、（a）はA-A'、（b）はB-B'、（c）はC-C'断面図である。図5、図6において、41はデータライン、42はアドレスライン、43は画素電極、44は活性層、46はフィールド酸化膜、47は透明性基板、48はTFTのドレインと画素電極43とを接続する電極である。

【0023】本実施例では活性層44を利用し、データライン41下に凹部を設けている。図6（b）からわかるように、従来の方式の場合、データライン41がこの断面構造において、最も高いため平坦領域になるまでのマージンがかなり必要となり、有効開口率が減少していたが、49に示すごとく、データライン41の配線層上部は、平坦化されており、そのマージンは、従来方式よりもかなり狭くすることが可能になった。これにより、有効開口率が拡大し、明るい表示が実現できるばかりでなく、照明系のパワーも押えることができ、温度上昇による液晶表示の焼き付き現象も抑制されることがわかった。

【0024】本実施例では、活性層44上のデータライン41は、絶縁層で分離されていたが、第3実施例で示したように、下部半導体層とコンタクトをし、配線の冗長性を増すとともに低抵抗化を図ることも又、有効であることは言うまでもない。

【0025】（実施例5）第5実施例を図7及び図8を用いて説明する。図8は図7の断面図であり、（a）はA-A'、（b）はB-B'、（c）はC-C'断面図である。図7、図8において51は活性層であり、他は第4実施例と同一箇所を同一番号で記し、説明は省略する。

【0026】本実施例では活性層44、51を利用し、データライン41及びアドレスライン42下に凹部を設けている。図7、図8からわかるように、本実施例の特徴は、

（1）アドレスライン42も活性層51上の凹部にうめこまれ、アドレスライン42近傍もより平坦化が施されている点にある。

【0027】図7に示す例では、凹部として活性層を用いており、これらの各活性層44、51等は、絶縁層により電氣的に互いに分離している。

【0028】（2）各配線層（データライン41及びアドレスライン42等）は、活性層44、51に直接もしくは、薄い絶縁層を介して設けられており、より平坦化が達成できている。この時、第1、第3実施例と同様に下部半導体層とコンタクトした配線と下部半導体層がフローティングであるものが混在したものでも有効である。

【0029】（実施例6）第6実施例について、図9、図10を用いて説明する。図10は図9の断面図であり、（a）はD-D'、（b）はE-E'断面図である。図9、図10において61はデータライン41とアドレスライン42とが交差する領域の凹部であり、他は第4実施例及び第5実施例と同一箇所を同一番号で記し、説明は省略する。

【0030】本実施例の特徴は、凹部の深さが異なる領域を少なくとも2箇所設け、より平坦化を図ったものである。61は、データライン41とアドレスライン42とが交差する領域の凹部の深さが、凹部44、51の深さよりも深くなっている点である。従来データライン41とアドレスライン42とが交差すると、パネル上最も高くなり液晶の配向特性がみだれるが、本方式の構造を採用することによりほぼ平坦な構造が実現できた。

【0031】この深さの異なる凹部を形成する方法としては、浅い凹部として活性層領域を利用し、深い凹部として半導体層をエッチングし、下部絶縁基板露出領域を使用する方法がある。又、このような方法に限定されず、複数回のエッチングにより深さを変更することも使用できるのは言うまでもない。また、エッチストップ層を部分的に配置することにより深さの異なる凹部を形成できることは言うまでもない。

【0032】

【発明の効果】以上説明の様に、本発明によれば、特別な平坦化処理を行うことなく、表面の平坦な半導体装置を得ることができ、チップサイズの拡大化、コストアップ、断線及び配線パターン不良の防止を行うことができる。

【0033】更に、該半導体装置を設けたアレイ基板を用いることにより、ラビングの際の配向ムラが減少し、結果として画素部の白抜きの少ない高コントラスト比の得られる液晶表示装置を実現することができる。

【図面の簡単な説明】

【図1】本発明第1実施例の半導体装置を示す断面図。

【図2】図1の半導体装置の製造方法を示す図。

【図3】本発明第2実施例の半導体装置を示す断面図。

【図4】本発明第3実施例の半導体装置を示す断面図。

【図5】本発明第4実施例の液晶表示装置のアレイ基板を示す上面図。

【図6】図5の断面図。

【図7】本発明第5実施例の液晶表示装置のアレイ基板を示す上面図。

【図8】図7の断面図。

【図9】本発明第6実施例の液晶表示装置のアレイ基板を示す上面図。

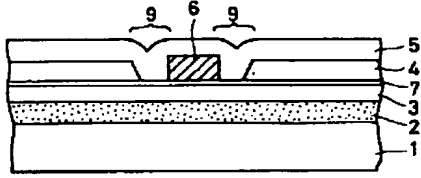
【図10】図9の断面図。

【図11】従来の半導体装置を示す断面図。

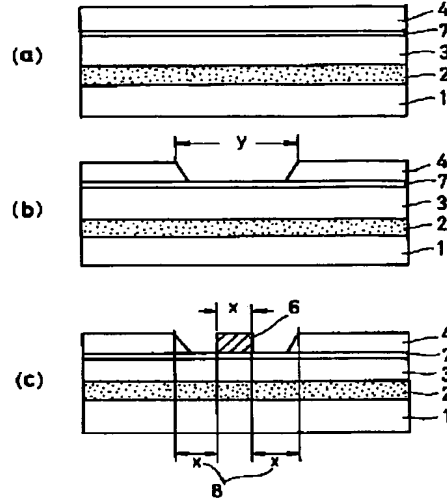
【図12】従来の液晶表示装置のアレイ基板を示す上面図。

【図13】図12の断面図。

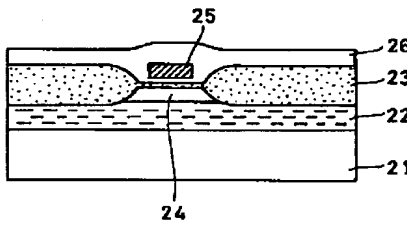
【図1】



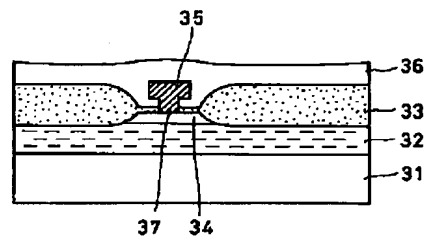
【図2】



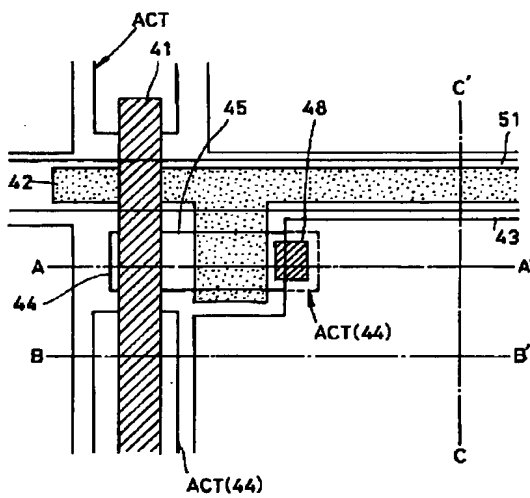
【図3】



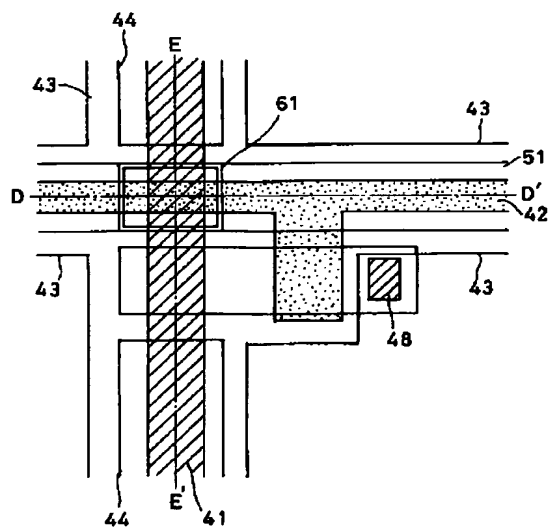
【図4】



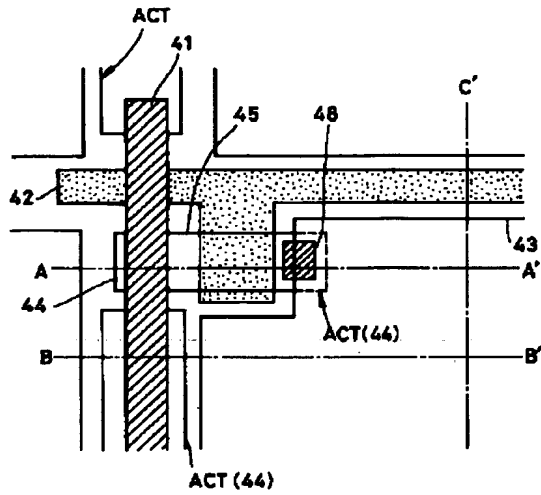
【図7】



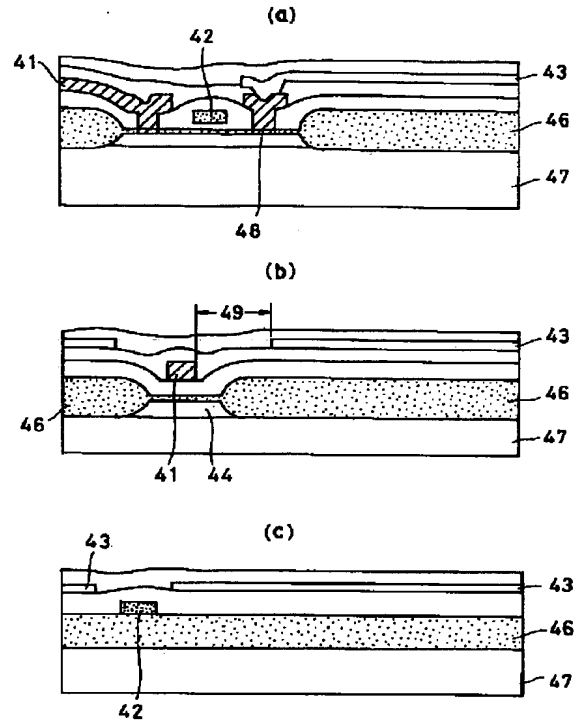
【図9】



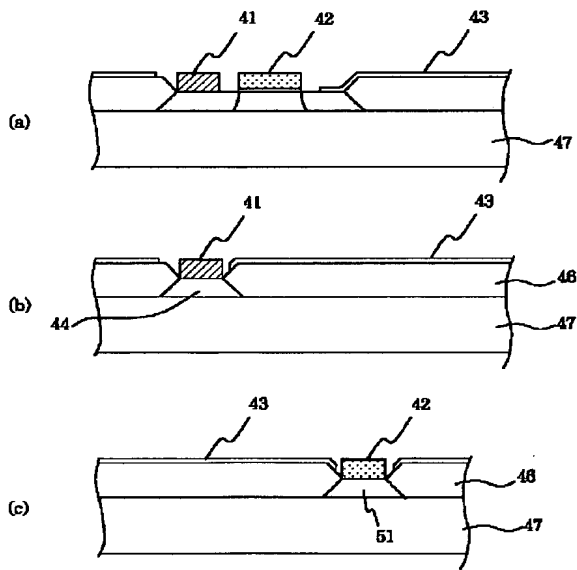
【図5】



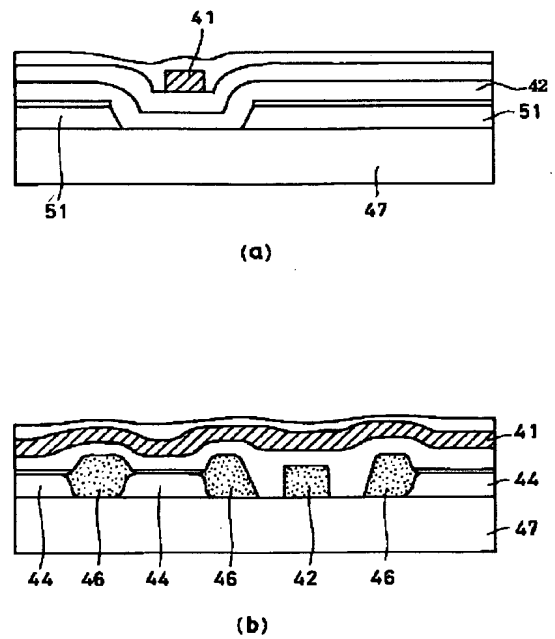
【図6】



【図8】

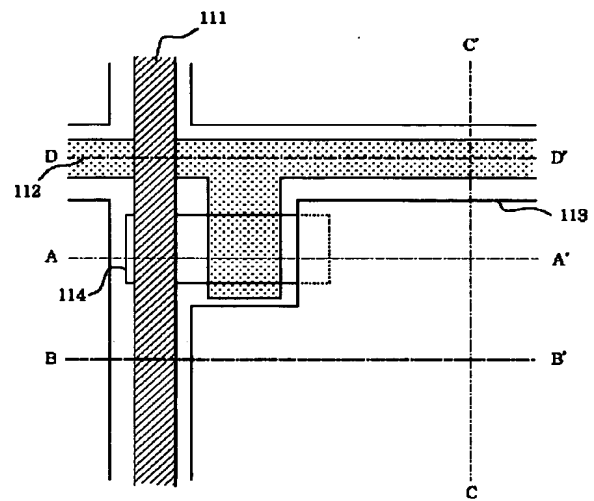


【図10】

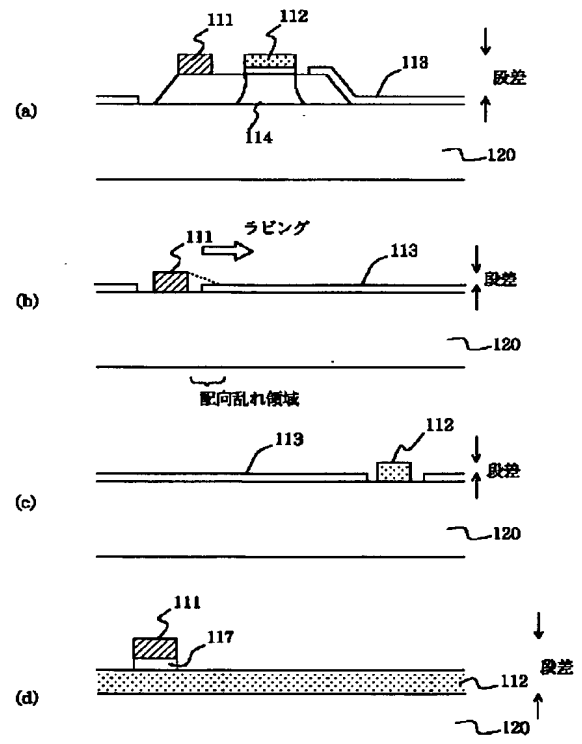




【図 12】



【图 13】



フロントページの続き

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 21/3205		9056-4M	H 0 1 L 29/78	3 1 1 R
		9056-4M		3 1 1 A

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] The semiconductor device characterized by having a crevice in part at least under the wiring which connects this passive element or this active element in the semiconductor device which prepared the passive element and the active element on the substrate which prepared the thin-film-semiconductor layer on the insulating layer or the insulating substrate.

[Claim 2] The semiconductor device according to claim 1 characterized by preparing the semiconductor layer in the above-mentioned crevice.

[Claim 3] The semiconductor device according to claim 2 characterized by establishing at least the field where the potential of the above-mentioned semiconductor layer is floating in the part directly under wiring.

[Claim 4] The semiconductor device according to claim 2 characterized by connecting the above-mentioned semiconductor layer and the above-mentioned wiring partly.

[Claim 5] The semiconductor device according to claim 1 characterized by the width of face of the above-mentioned crevice being wider than the wiring width of face prepared on concave.

[Claim 6] The semiconductor device according to claim 1 characterized by \*\*\*\*\* of a part of thickness [ at least ] of wiring and a crevice being almost equivalent.

[Claim 7] The liquid crystal display characterized by the thing under one [ at least ] wiring of an address line or a data line for which it has a crevice in part at least in the liquid crystal display constituted by pinching a liquid crystal layer between the array substrate by which two or more pixel electrodes equipped with a switching device and capacitive element, respectively have been arranged in the shape of a matrix in the intersection position of the first address line and a data line, and the transparent opposite substrate in which the transparent electrode was formed.

[Claim 8] The liquid crystal display according to claim 7 with which the aforementioned crevice is characterized by the thing under wiring of the intersection of an address line and a data line formed in part at least.

[Claim 9] The liquid crystal display according to claim 7 with which the aforementioned crevice is characterized by being formed by the selective oxidation method of a semiconductor layer.

[Claim 10] The liquid crystal display according to claim 7 with which the aforementioned crevice is characterized by being formed of etching.

[Claim 11] The manufacture method of the liquid crystal display characterized by the thing under one [ at least ] wiring of an address line or a data line for which a crevice is formed in part at least in the liquid crystal display constituted by pinching a liquid crystal layer between the array substrate by which two or more pixel electrodes equipped with a switching device and capacitive element, respectively have been arranged in the shape of a matrix in the intersection position of the first address line and a data line, and the transparent opposite substrate in which the transparent electrode was formed.

[Claim 12] The manufacture method of the liquid crystal display according to claim 11 characterized by forming the aforementioned crevice under wiring of the intersection of an address line and a data line in part at least.

[Claim 13] The manufacture method of the liquid crystal display according to claim 11 characterized by forming the aforementioned crevice by the selective oxidation method of a semiconductor layer.

[Claim 14] The manufacture method of the liquid crystal display according to claim 11 characterized by forming the aforementioned crevice by etching.

[Claim 15] The manufacture method of the liquid crystal display according to claim 11 characterized by making \*\*\*\*\* by the aforementioned crevice almost equivalent to a part of thickness [ at least ] of an address line or a data line.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the liquid crystal display which comes to pinch a liquid crystal layer between the substrate which formed the semiconductor device and the above-mentioned semiconductor device which prepared the passive element and the active element on the semiconductor layer prepared on the insulating layer or the insulating substrate, and a transparent substrate.

[0002]

[Description of the Prior Art] Since the semiconductor device which prepared the semiconductor layer on the insulating layer or the insulating substrate, and prepared passivity and the active element on the front face is called common-name SOI (Silicon on Insulate) device and can realize high-speed high integrated-semiconductor equipment, it attracts attention greatly. This is based on the following two reasons.

[0003] (1) Detailed-izing is easy for the transistor of SOI structure, and its current drive capacity is high, and it is excellent in high-speed operation.

[0004] (2) Wiring is formed on an insulating substrate, capacity is lighter than before and high-speed high integration can be attained.

[0005] By the way, although the multilayer interconnection became indispensable as shown in drawing 11 which is the cross section of the conventional semiconductor device in order to realize high-speed high integration, as shown in 108, the level difference of the wiring section was large, poor patterning of an open circuit of wiring in the level difference section or a wiring layer had become a problem, and in order to solve these, flattening processing was demanded after the wiring process. in addition, drawing 11 -- setting -- 101 -- for a field oxidizing zone and 104, as for a layer insulation layer and 106, polySi wiring and 105 are [ Si substrate and 102 / an insulating layer (SiO<sub>2</sub>) and 103 / aluminum wiring and 107 ] insulating layers

[0006] if flattening processing is performed -- (1) -- since a new process is added, it leads to a cost rise

[0007] (2) In order to prepare a flattening layer, the distance between wiring (the thickness direction) (the i-th wiring and the i+1st wiring (i= 1, 2 --)) becomes thick, the contact field of lower wiring and upper wiring becomes large, and a chip size becomes large.

It had the trouble to say.

[0008] Moreover, in the liquid crystal display, it had the following trouble.

[0009] The plan of the array substrate of the conventional liquid crystal display is shown in drawing 12 , and the cross section of drawing 12 is shown in drawing 13. For drawing 13 (a), an A-A' cross section and drawing 13 (b) are [ a C-C' cross section and drawing 13 (d) of a B-B' cross section and drawing 13 (c) ] D-D' cross sections. For an address line and 113, as for a semiconductor layer and 117, in drawing 12 and drawing 13, a pixel electrode and 114 are [ 111 / a data line and 112 / an insulating layer and 120 ] substrates.

[0010] Conventionally, the front face of an array substrate is the structure where a level difference is large (0.5-1.0micro), as shown in drawing 13 (a) - (c), and the crossing of a data line 111 and the address

line 112 shown especially in drawing 13 (d) is a portion most projected within the pixel. Therefore, orientation disorder arose around the lobe at the time of rubbing, the white omission field where permeability does not change with applied voltage was generated, and contrast was reduced.

[0011] Although how to shade a white omission field can be considered in order to solve this problem, a luminosity will decrease and only the part which shaded according to this method is not desirable.

Therefore, the present condition is that an effective means to solve the above-mentioned problem was not provided, but made thin thickness of a data line 111 and the address line 112 at most, stored the level difference in error range, and the orientation nonuniformity generated with a level difference is disregarded substantially.

[0012]

[Means for Solving the Problem] In the semiconductor device which prepared the passive element and the active element on the substrate which prepared the thin-film-semiconductor layer on the insulating layer or the insulating substrate, by establishing a crevice in the bottom of the wiring which connects this passive element or this active element in part at least, this invention attains flattening and solves the above-mentioned trouble.

[0013]

[Example] (Example 1) The 1st example of this invention is shown in drawing 1. Moreover, the production method is shown in drawing 2. In drawing 1 and drawing 2, for the 1st insulating layer and 7, as for the 3rd insulating layer and 5, the 2nd insulating layer and 4 are [ insulating layers, such as a SiON layer whose 2 1 is insulating substrates, such as semiconductor substrates, such as Si and GaAs, or glass, and sapphire, and is SiO<sub>2</sub>, SiN, or its compound, and 3 / the 4th insulating layer and 6 ] wiring layers, and a semiconductor layer exists in another cross section.

[0014] In this example, the 3rd insulating layer 4 is \*\*\*\*\*ed and a crevice is formed. It considers as material which is different in the 2nd insulating layer 7 and the 3rd insulating layer 4, and is made for the 2nd insulating layer 7 to serve as a stopper here at the time of 3rd insulating-layer 4 etching.

Specifically, it is SiO<sub>2</sub> as the 3rd insulating layer 4. What is necessary is to consider as the film of a system and just to consider as the thing of a SiN system as the 2nd insulating layer 7. What is necessary is just to use HF system as etchant. moreover, a sentiment -- dirty -- not restricting -- dry cleaning -- it is dirty and it cannot be overemphasized that you may carry out

[0015] Here, the relation between the width of face Y of a crevice and the wiring width of face X is explained. As shown in drawing 2 (b) and (c), it is made to become  $Y > X$  and the membrane formation conditions of the 4th insulating layer 5 after a wiring process and the precision of a crevice x determine the crevice x between a crevice and the wiring section 6. If membranes are formed by CVD in the level difference section, it will become the form which spreads in a longitudinal direction. If the amount x of crevices is set as the double-precision grade of the longitudinal direction breadth, as shown in 9 of drawing 1, the almost flat insulating layer 5 can form on wiring. Moreover, if x also takes into consideration the amount delta x of dispersion of x and it is made into  $x + \delta x$ , it is stabilized and can form a flat layer. With the method shown in this example, flattening has been realized easily.

[0016] (Example 2) The 2nd example of this invention is explained using drawing 3. In drawing 3, 21 is a substrate, for example, is insulating substrates, such as semiconductor substrates, such as Si and GaAs, or glass, and sapphire. 22 is a SiON film which is the insulating layer prepared on the substrate 21, for example, are SiO<sub>2</sub>, SiN, and its compound. 23 is a field oxide film and 24 is Si etc. in a semiconductor layer. Although 25 is wiring, and 26 is a layer insulation layer and not being illustrated, you may prepare a multilayer wiring layer in the upper layer.

[0017] In this example, a crevice is formed using the semiconductor layer 24. A crevice can be formed according to the selective oxidation process which covers a part of semiconductor layer 24 for example, by the SiN film etc., oxidizes thermally alternatively the field which is not covered, and forms the field oxide film 23. Flattening is realized by the layer insulation layer 26, without the wiring layer 25 upper part sticking and coming out, since wiring 25 is formed on the semiconductor layer 24 which is an active region as shown in drawing 3. Moreover, by making potential of the semiconductor layer 24 into floating, the parasitic capacitance between the semiconductor layers 24 was not attached, either, but low

capacity wiring has been realized.

[0018] (Example 3) The 3rd example of this invention is explained using drawing 4 . the 2nd example -- the same -- 31 -- for a field oxide film and 34, as for wiring and 36, a semiconductor layer and 35 are [ a substrate and 32 / an insulating layer and 33 / between layers or an up insulating layer, and 37 ] contacts of the semiconductor layer 34 and wiring 35

[0019] In this example, a crevice is formed like the 2nd example using the semiconductor layer 34. The feature of this example is the point that the up wiring 35 contacts the lower semiconductor layer 34 in part, and also uses the lower semiconductor layer 34 as wiring. Flattening is not only attained by such composition, but wiring resistance also falls and the redundancy of wiring 35 is effective in increase and the yield becoming high. Moreover, although polySi wiring is usually retaken when carrying out cross wiring by the same wiring material according to this structure, by using this method, it can jump in a single crystal layer and flat cross wiring is attained by low resistance, without making a wiring layer increase from usual.

[0020] Moreover, the up wiring 35 and in order to realize sufficient contact 37, it cannot be overemphasized in the lower semiconductor layer 34 that the desired impurity is doped.

[0021] Moreover, that in which the wiring 35 in contact with the wiring 25 of the 2nd example on a floating field semiconductor layer and the lower semiconductor layer 34 of this example was intermingled is also effective. In this case, what is necessary is just to divide each semiconductor layer into each other by the insulating layer.

[0022] (Example 4) Drawing 5 is the plan of the array substrate of the liquid crystal display of \*\*\*\* 4 example, drawing 6 is the cross section of drawing 5 , and (a) is [ B-B' and (c of A-A' and (b)) ] C-C' cross sections. In drawing 5 and drawing 6 , 41 is a data line and 42 is an electrode to which in a pixel electrode and 44 a field oxide film and 47 connect a transparency substrate to, and, as for 48, a barrier layer and 46 connect [ an address line and 43 ] the drain and the pixel electrode 43 of TFT.

[0023] In this example, the barrier layer 44 was used and the crevice is established in the bottom of a data line 41. Although the margin since it is the highest, until a data line 41 becomes a flat field in this cross-section structure was considerably needed in the case of the conventional method and the effective numerical aperture was decreasing so that drawing 6 (b) might show, as shown in 49, flattening of the wiring layer upper part of a data line 41 is carried out, and it became possible to make the margin quite narrower than the conventional method. It turns out that an effective numerical aperture can be expanded, the power of an illumination system can be pressed down by this a bright display is not only realizable, but, and the seizure phenomenon of the liquid crystal display by the temperature rise is also suppressed.

[0024] At this example, while the data line 41 on a barrier layer 44 contacts a lower semiconductor layer and increases the redundancy of wiring as the 3rd example showed although it dissociated by the insulating layer, attaining low resistance-ization cannot be overemphasized by the effective thing, either.

[0025] (Example 5) The 5th example is explained using drawing 7 and drawing 8 . Drawing 8 is the cross section of drawing 7 , and (a) is [ B-B' and (c of A-A' and (b)) ] C-C' cross sections. In drawing 7 and drawing 8 , 51 is a barrier layer, others describe the same part as the 4th example by the same number, and explanation is omitted.

[0026] In this example, barrier layers 44 and 51 were used and the crevice is established in the bottom of a data line 41 and the address line 42. (1) address line 42 is also buried and crowded in the crevice on a barrier layer 51, and the feature of this example is in the point that about 42 address line nearby flattening is given so that drawing 7 and drawing 8 may show.

[0027] In the example shown in drawing 7 , the barrier layer is used as a crevice and the insulating layer has separated electrically each of these barrier layers 44 and 51 grades mutually.

[0028] (2) Each wiring layer (a data line 41 and address line 42 grade) is prepared in barrier layers 44 and 51 through direct or the thin insulating layer, and has attained flattening more. At this time, that in which the wiring which contacted the lower semiconductor layer like the 1st and the 3rd example, and the thing whose lower semiconductor layer is floating were intermingled is also effective.

[0029] (Example 6) The 6th example is explained using drawing 9 and drawing 10. Drawing 10 is the cross section of drawing 9, (a) is D-D' and (b) is an E-E' cross section. In drawing 9 and drawing 10, 61 is the crevice of the field where a data line 41 and the address line 42 cross, others describe the same part as the 4th example and the 5th example by the same number, and explanation is omitted.

[0030] The feature of this example prepares at least two fields where the depth of a crevice differs, and attains flattening more. 61 is the point that the depth of the crevice of the field where a data line 41 and the address line 42 cross is deeper than the depth of crevices 44 and 51. although it became the highest on the panel and the orientation property of liquid crystal saw and flagged when the data line 41 and the address line 42 crossed conventionally, almost flat structure was realizable by adopting the structure of this method

[0031] As a method of forming the crevice where these depth differs, a barrier-layer field is used as a shallow crevice, a semiconductor layer is \*\*\*\*\*ed as a deep crevice, and there is the method of using a lower insulating-substrate exposed region. Moreover, it cannot be overemphasized that it not being limited to such a method but changing the depth by etching of multiple times can be used, either. Moreover, it cannot be overemphasized by arranging a dirty stop layer partially that the crevice where the depth differs can be formed.

[0032]

[Effect of the Invention] Above, without performing special flattening processing according to this invention, like explanation, a semiconductor device with a flat front face can be obtained, and expansion-izing of a chip size, cost rise, open circuit, and prevention with a poor circuit pattern can be performed.

[0033] Furthermore, by using the array substrate which formed this semiconductor device, the orientation nonuniformity in the case of rubbing can decrease, and the liquid crystal display with which a high contrast ratio with few white omissions of the pixel section as a result is obtained can be realized.

---

[Translation done.]



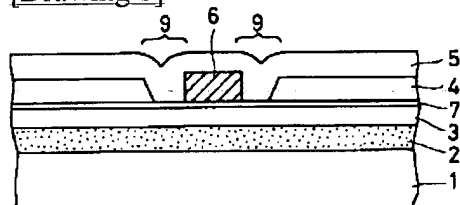
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

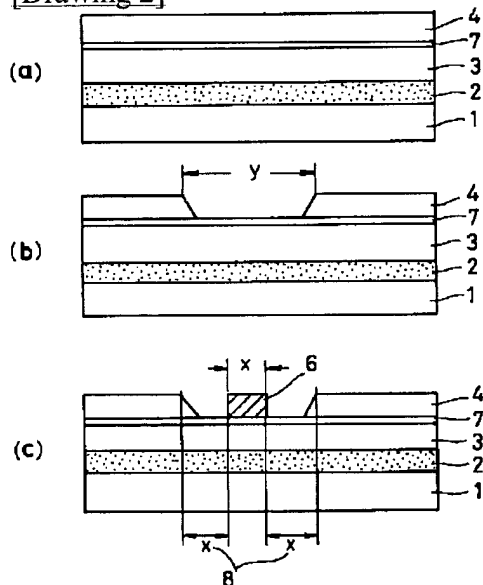
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

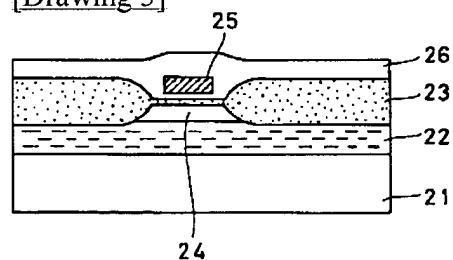
[Drawing 1]



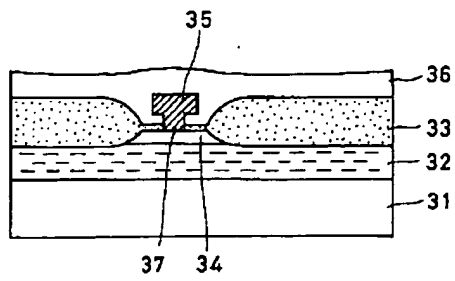
[Drawing 2]



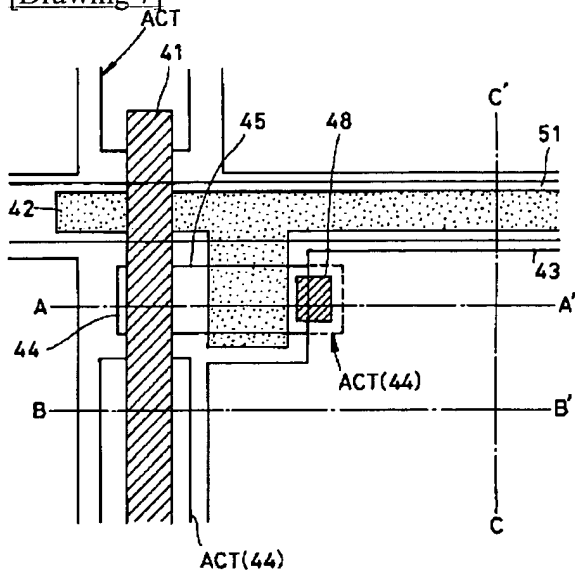
[Drawing 3]



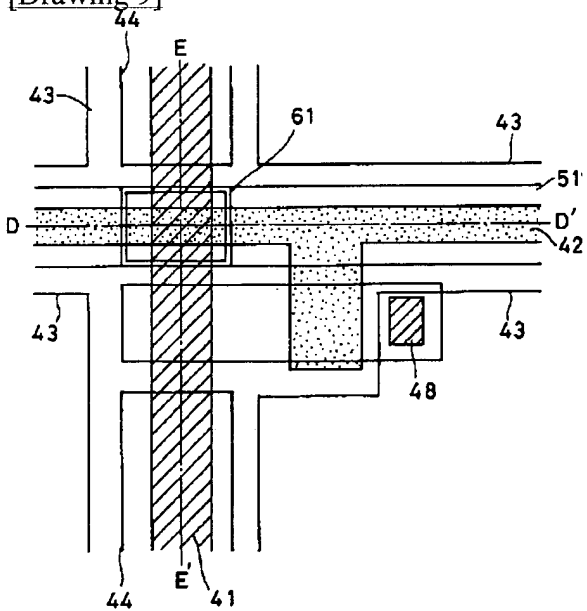
[Drawing 4]



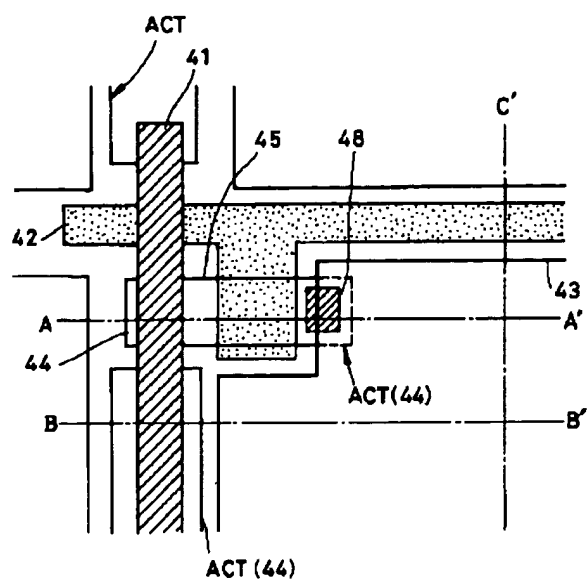
[Drawing 7]



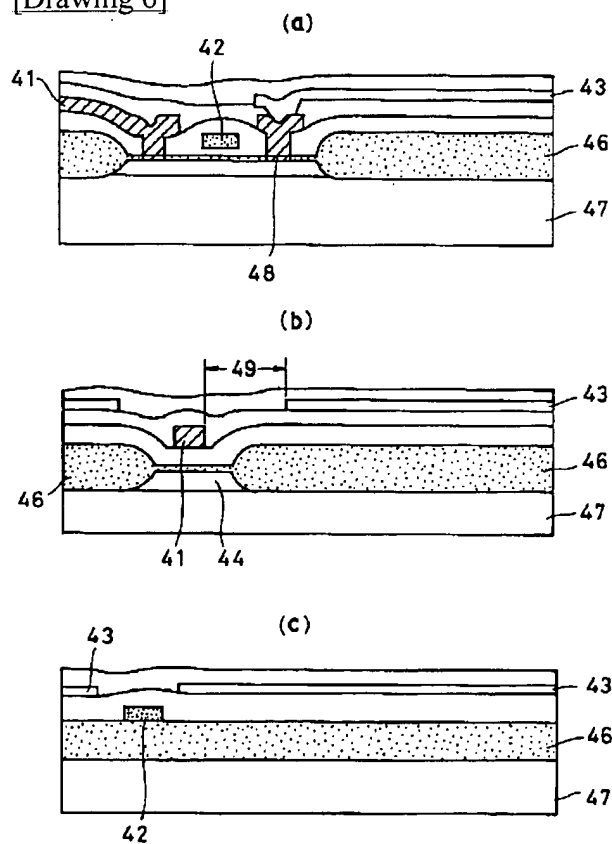
[Drawing 9]



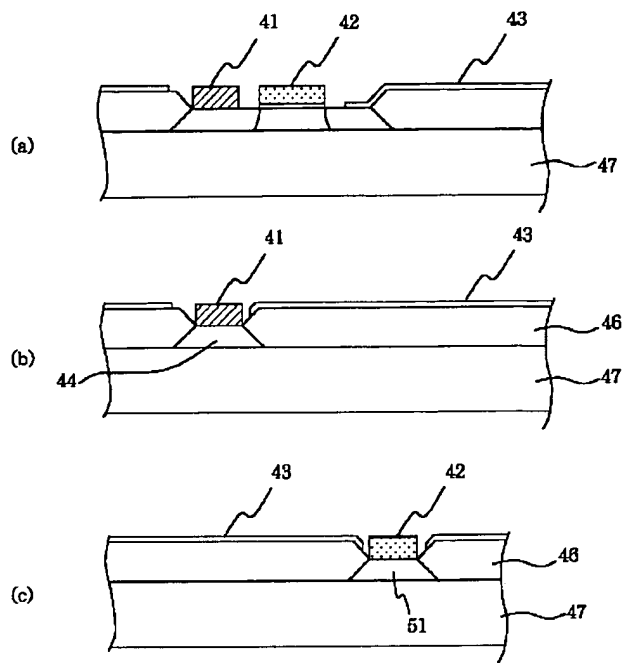
[Drawing 5]



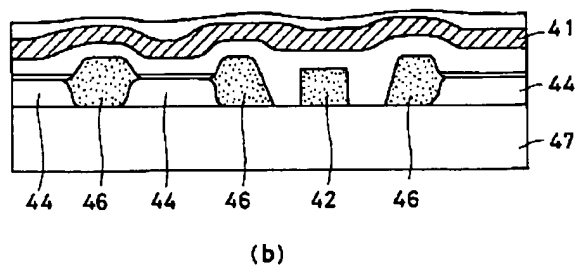
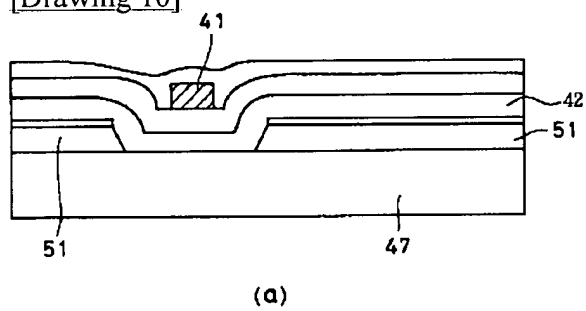
[Drawing 6]



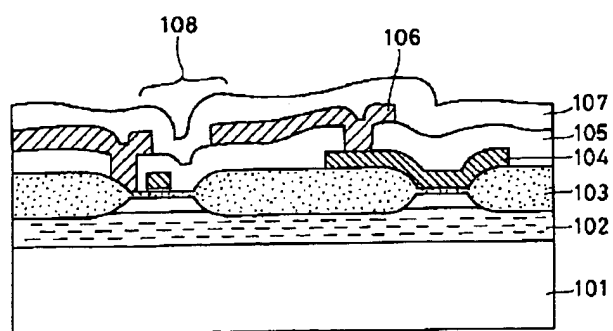
[Drawing 8]



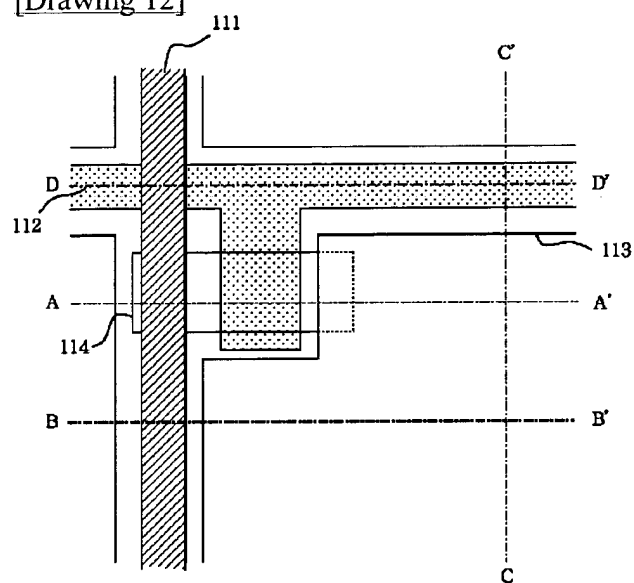
[Drawing 10]



[Drawing 11]



[Drawing 12]



[Translation done.]